

File 347:JAPIO Oct 1976-2003/Aug(Updated 031202)

(c) 2003 JPO & JAPIO

*File 347: JAPIO data problems with year 2000 records are now fixed.

Alerts have been run. See HELP NEWS 347 for details.

Set Items Description

--- -----

?

S PN=11259417

S1 1 PN=11259417

?

T 1/5

1/5/1.

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

06317819 **Image available**

BUS ACCESS SYSTEM AND BUS ACCESS CONTROLLER

PUB. NO.: 11-259417 [JP 11259417 A]

PUBLISHED: September 24, 1999 (19990924)

INVENTOR(s): SAKASHITA YOHEI

APPLICANT(s): FUJITSU LTD

APPL. NO.: 10-063062 [JP 9863062]

FILED: March 13, 1998 (19980313)

INTL CLASS: G06F-013/36; G06F-013/16

ABSTRACT

PROBLEM TO BE SOLVED: To provide a bus access system with an improved bus availability constituted of a data bus and an address bus to execute simultaneous read/write accesses by dividing bus width into a plurality of sub-buses.

SOLUTION: A controller is provided with a bus division part 110 for dividing a data bus of a prescribed bit width into a plurality of sub-buses having arbitrary bus width, and a bus control part 120 which independently controls access of the sub-buses divided by the bus division part 110, and simultaneously reads/ writes data against the device of an access object in a sub-bus unit.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-259417

(43) 公開日 平成11年(1999) 9月24日

(51) Int.Cl.⁶

G 0 6 F 13/36
13/16

識別記号

5 3 0
5 1 0

F I

G 0 6 F 13/36
13/16

5 3 0 B
5 1 0

審査請求 未請求 請求項の数 4 O L (全 12 頁)

(21) 出願番号 特願平10-63062

(22) 出願日 平成10年(1998) 3月13日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 坂下 陽平

福岡県福岡市博多区博多駅前三丁目22番8
号 富士通九州デジタル・テクノロジー株
式会社内

(74) 代理人 弁理士 井桁 貞一

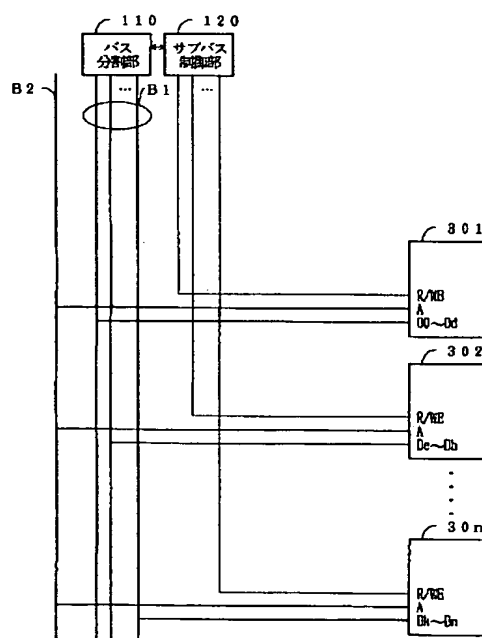
(54) 【発明の名称】 バスアクセス方式およびバスアクセス制御装置

(57) 【要約】

【課題】本発明はデータバスとアドレスバスで構成されるバスシステムにおいて、リード／ライトの同時アクセスを行うバスアクセス方式に関し、バス幅を複数のサブバスに分割することにより、バスの使用効率を高めることのできるバスアクセス方式を実現することを目的とする。

【解決手段】所定のビット幅のデータバスを、任意のバス幅を有する複数のサブバスに分割するバス分割部と、バス分割部により、分割されたサブバスに独立して、アクセス制御を行うサブバス制御部を設け、サブバス制御部120は、バス分割部110で分割した複数のサブバスの制御を独立して行い、アクセス対象のデバイスに、サブバス単位で同時リード／ライトを行うように構成する。

本発明の第1の原理を説明する図



【特許請求の範囲】

【請求項1】 所定のビット幅のデータバスを、任意のバス幅を有する複数のサブバスに分割するバス分割部と、

前記バス分割部により、分割されたサブバスに独立して、アクセス制御を行うサブバス制御部を設け、前記サブバス制御部は、前記バス分割部で分割した前記複数のサブバスの制御を独立して行い、アクセス対象のデバイスに、サブバス単位で同時リード／ライトと行うことを特徴とするバスアクセス方式。

【請求項2】 請求項1記載のバスアクセス方式において、

データを格納する複数のバンクから構成されたメモリと、アクセスするアドレスにより、選択する前記複数のバンクを指定するバンク選択用のアドレスデコーダを設け、前記アドレスデコーダは、アクセスアドレスから前記複数のバンクを指定する選択信号を生成し、異なるバンクに同時アクセスすることを特徴とするバスアクセス方式。

【請求項3】 請求項1記載のバスアクセス方式において、

前記複数のメモリにアクセスするとき、リード／ライトにより異なるアドレスを生成するアドレスコンバータを設け、前記アドレスコンバータは前記複数のメモリにアクセスするとき、リード／ライトアクセスに対応して、異なるアドレスを発生し、同時アクセスすることを特徴とするバスアクセス方式。

【請求項4】 所定のビット幅のデータバスを、任意のバス幅を有する複数のバスに分割したバスアクセス制御を行うバスアクセス制御装置であって、演算装置と、レジスタ部と、バス送受信部を接続する内部バスを複数のサブバスに分割したことを特徴とするバスアクセス制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、データバスとアドレスバスで構成されるバスシステムにおいて、リード／ライトの同時アクセスを行うバスアクセス方式に関する。

【0002】近年の情報処理装置、通信装置の進展にともない、データの大量処理、高速処理に対する要求から、例えば、制御装置とメモリを接続するバス幅は、32ビット幅、64ビット幅等大きくなってきている。このようなバスの有効利用が要求されている。

【0003】図12はメモリのアドレス構成を説明する図である。ここでは、メモリの8ビットごとに16進（図中hと示す）のアドレスを付与してある。16ビットを1ワードとして、制御装置とメモリの間で32ビット

トでリード／ライトを行う場合は、図に示す1行（2ワード）単位で処理を行う。このような制御装置からメモリに対するリード／ライトはアドレスバスでアドレスを指定し、データバスを介して指定のアドレスとのデータの入出力が行われる。このようなバスの有効利用が要求されている。

【0004】

【従来の技術】図13は従来例を説明する図を示す。図は従来のバスアクセスを行うマイクロプロセッサ（以下MPUと称する）100からランダムアクセスメモリ（以下RAMと称する）301～304にデータをリード／ライトする構成を示す。

【0005】図中のB1は32ビット幅（以下各ビットをD0～D31と示す）のデータバス、B2は24ビット幅（以下各ビットをA0～A23と示す）アドレスバスを示し、200はMPU100から出力するアドレス信号をデコードして、それぞれデータを書き込むRAM201～204にチップセレクト信号*CS_i（i=1～4）を送出するアドレスデコーダである。

【0006】また、MPU100から出力される制御信号はリード／ライト信号R/*W、アドレスストローブ信号*AS、データストローブ信号*DS、転送サイズ信号S0、S1、であり、アドレスデコーダ200からは、データ転送およびサイズアクノリッジ信号*DSAK0、1がMPU100に対して出力される。（各信号の先頭の*印はロウアクティブを示す。）図において、アドレスデコーダ200は、アドレスバスB2の上位、下位、アドレスおよびデータストローブ信号*DS、転送サイズ信号S0、S1から、データ転送およびサイズアクノリッジ信号*DSAK0、1、RAM301～304のチップセレクト信号*CSを生成する。また、MPU100のリード／ライト信号R/*Wおよびその反転をRAM301～304のライトイネーブル*WE、アウトプットイネーブル*OE端子に接続する。

【0007】RAM301～304にはデータバスB1のD0～7、D8～15、D16～23、D24～31の8ビットずつのデータのリード／ライトを行う。図14は従来例のリードデータのタイムチャートを示す。図はMPU100がRAM301～304をロングワード（32ビット幅）としてリードする場合のタイムチャートである。

【0008】MPU100は①の時点でアドレスA0～A23、転送サイズ信号S0、S1を出力し、リード／ライト信号R/*Wを「H」に設定し、②の時点でアドレスバスB2の内容が確定したことを示すアドレスストローブ*ASをアサートする。アドレスデコーダ200はアドレスA0～23、転送サイズ信号S0、S1、アドレスストローブ信号*ASよりデータ転送およびサイズアクノリッジ信号*DSAK0、1、RAM301～304のチップセレクト信号*CS1～4を生成出力す

る。

【0009】また、リード／ライト信号R/*Wは「H」であるから、その反転であるアウトプットイネーブル信号*OEがアサートされる。チップセレクト信号*CS1-4、アウトプットイネーブル信号*OEのアサートにより、RAM301~304はアドレスバスB2で指定されたデータをデータバスB1に出力する。

【0010】MPU100は⑥の時点でデータバスB1上のデータを取り込み、アドレスストローブ信号*AS、データストローブ信号*DSを停止する。⑦の時点でアドレスバスB2、リード／ライト信号R/*Wの状態が変化し、リードサイクルが終了する。

【0011】図15は従来例のライトデータのタイムチャート（その1）を示す。図はMPU100がRAM301~304をロングワード（32ビット幅）でライトする場合のタイムチャートである。

【0012】MPU100は①の時点でアドレスA0-A23、転送サイズ信号S0、S1を出力し、リード／ライト信号R/*Wを「L」に設定し、②の時点でアドレスバスB2の内容が確定したことを示すアドレスストローブ信号*ASをアサートする。次いで、③の時点でデータバスB1にライトデータを出力し、④の時点でデータバスB1の内容が確定したことを示すデータストローブ信号*DSをアサートする。

【0013】アドレスデコーダ200はアドレスA0-A23、転送サイズ信号S0、S1、アドレスストローブ信号*ASよりデータ転送およびサイズアクノッジ*DSAK0、1、RAM301~304のチップセレクト*CS1-4を生成出力する。

【0014】また、リード／ライト信号R/*Wは「L」であるから、ライトイネーブル信号*WEがアサートされる。チップセレクト信号*CS、ライトイネーブル信号*WEのアサートにより、RAM301~304はアドレスバスB2で指定されたメモリ領域にデータバスB1上のデータを格納する。

【0015】⑤でMPU300はアドレスストローブ信号*AS、データストローブ信号*DSを停止し、⑥の時点でデータバスB1、アドレスバスB2、リード／ライト信号R/*Wの状態を変化させ、ライトサイクルが終了する。

【0016】図16は従来例のリード／ライトデータのフローチャートを示す。各種データ処理においては、指定のアドレスからデータを読み出し、読み出したデータに「1」を加算して、もとのアドレスに格納し、次のアドレスに対して同様に、データを読み出し「1」を加算して格納すると言う処理は頻繁に行われる。

【0017】図は図12で説明したメモリの0番地から7番地までのデータを32ビット単位で読み出し「1」を加算してもとのアドレスに格納する処理を示す。このように、従来例の処理では、リード／ライトを同時に処

理できないので、リードデータ、データ処理、処理後のデータライトを繰り返すことにより処理を実行する。

【0018】図17は従来例のバスアクセスを行うマイクロプロセッサを説明する図である。図は従来例で説明した処理を行うMPU100を示す。図中の101Bはレジスタ部102から命令を順次取り出し、命令の解析を行う命令解析部であり、101Aは算術演算、論理演算を行うALU(Arithmetic and Logic Unit)部であり、102はプログラム、演算データ等を格納するレジスタ部、102Aはレジスタ部102から命令を順次取り出すためのプログラムカウンタであり、103はアドレスバスB2にアドレスを出力するためのバスバッファ、104AはデータバスB1にデータを出力するためのバストランシーバ、105はバス制御信号の入出力を行うバス制御部である。

【0019】図において、内部データバスb1は、32ビットで構成されており、データは32ビットの平行データとして入出力される。そして、バス制御部105はデータバスB1に対しリード／ライトR/*W信号、およびアドレスストローブ信号*AS、データストローブ信号*DS等を入出力することにより、例えば、図示省略のRAMに対してリード／ライト処理を行う。

【0020】

【発明が解決しようとする課題】上述の従来例においては、バス幅より小さなビット数のデータのリード／ライトを行なう場合、データバスB1の一部が使用されない状態がある。

【0021】図18は従来例のライトデータのタイムチャート（その2）を示す。図はMPU100がRAM301~304に対して8ビットのライトを行った場合のタイムチャートである。基本的なタイムチャートは図15で説明した32ビット幅のデータのライトと同じである。この場合の転送サイズ信号はS0=「H」、S1=「L」でバイトアクセスを示す。データ転送およびサイズアクノリッジ信号*DSAKもバイト単位の信号を返送する。

【0022】アドレスデコーダ200は転送サイズ信号S0、S1とアドレスバスB2の下位2ビットから、該当するRAM301~304の中の1つを指定するチップセレクト信号*CSをアサートする。ついで選択されたRAM301はアドレスバスB2で指定されたメモリ領域にデータバスB1上のデータを格納する。

【0023】図に示すように、データバスB1幅が32ビットであっても、バイトアクセスを行なう場合、実際使用されるのは、D0-7の1バイトであり、D8-31の3バイト分は使用されない。

【0024】同様に、2バイトのワードアクセスの場合には2バイト分のデータバスB1が使用されず、ロングワードアクセスの場合も、使用するデータ幅が4バイトに満たない場合は、使用されないバスが生じる。

【0025】本発明は、バス幅を複数のサブバスに分割することにより、バスの使用効率を高めることのできるバスアクセス方式を実現しようとする。

【0026】

【課題を解決するための手段】図1は本発明の第1の原理を説明する図である。図中の110は、所定のビット幅のデータバスB1を、任意のバス幅を有する複数のサブバスに分割するバス分割部であり、120はバス分割部110により、分割されたサブバスに独立して、アクセス制御を行うサブバス制御部である。

【0027】かかる構成により、サブバス制御部120は、バス分割部110で分割した複数のサブバスの制御を独立して行い、アクセス対象のデバイスに、サブバス単位で同時リード／ライトと行うことが可能となる。

（請求項1）図2は本発明の第2の原理を説明する図である。図は、所定のビット幅のデータバスB1を、任意のバス幅を有する複数のサブバスに分割したバスアクセス制御を行うバスアクセス制御装置100Aを示す。

【0028】バスアクセス制御装置100Aは演算装置101と、レジスタ部102とバスバッファ103とバス送受信部104およびバス制御部105から構成されており、演算装置101と、レジスタ部102と、バス送受信部104を接続する内部データバスb1を複数のサブバスに分割して構成する。

【0029】かかる構成により、バス送受信部104は、データバスB1の複数のサブバスに対して、サブバス単位で独立にアクセスを行なうことが可能となる。

（請求項2）

【0030】

【発明の実施の形態】図3は本発明の実施の形態（1）を説明する図である。図はMPU100からRAM301～304にデータをリード／ライトする構成を示す。図中のB1は32ビット幅（D0～D31）のデータバスであり、原理図で説明したバス分割部110により、B11～B14のサブバス（サブバスB11～14は図示省略）に分割している。サブバスB11～14はそれぞれD0～7、D8～15、D16～23、D24～31から構成され、リード／ライト信号R/*W1～4に対応させる。B2は24ビット幅（A0～23）アドレスバスを示し、200はMPU100から出力するアドレスをデコードして、それぞれデータを入出力するRAM301～304にチップセレクト信号*CS1～4（チップセレクト信号*CS5～nは他のデバイスの指定に使用される。）を送出するアドレスデコーダである。

【0031】また、原理図で説明したサブバス制御部120（MPU100の図示省略のバス制御部が対応している。）から出力される制御信号はリード／ライト信号R/*W1～4、アドレスストロブ信号*AS、データストロブ信号*DS、転送サイズ信号S0、S1、

であり、アドレスデコーダ200からは、サイズアクリッジ信号*DSAK0、1がMPU100に対して出力される。

【0032】図において、アドレスデコーダ200は、アドレスバスB2の上位、下位、アドレス信号*ASおよびデータストロブ信号*DS、転送サイズS0、S1から、データ転送およびサイズアクリッジ*DSAK0、1、RAM301～304のチップセレクト信号*CS1～4を生成する。また、MPU100のリード／ライト信号R/*W1～4およびその反転をRAM301～304のライトイネーブル*WE、アウトプットイネーブル*OE端子に接続する。

【0033】図4は本発明の実施の形態（1）のリード／ライトのタイムチャートを示す。図はD0～7、D8～15はライト、D16～23、D24～31はリードを行なう動作を示す。基本的には図14、15の従来例で説明した動作と同じである。ここでは、D0～7、D8～15に対応するリード／ライト信号R/*W1、2は「L」で、RAM301、302のライトイネーブル信号*WEがアサートされ、D16～23、D24～31に対応するリード／ライト信号R/*W3、4は「H」で、RAM303、304のアウトプットイネーブル信号*OEがアサートされる。

【0034】かかる処理により、1バスサイクル内でリード動作とライト動作を同時に行うことが可能となる。図5は本発明の実施の形態（2）を説明する図である。図はMPU100から異なるバンクRAM301～304とRAM305～308にリード／ライトを行う構成を示す。

【0035】図中のデータバスB1、アドレスバスB2は図3の実施の形態（1）で説明したと同じ構成をもつものである。また、MPU100から出力される制御信号はリード／ライト信号R/*W1～4、アドレスストロブ信号*AS、データストロブ信号*DS、転送サイズ信号S0、S1、であり、バンク選択用のアドレスデコーダ200からは、データ転送およびサイズアクリッジ信号*DSAK0、1がMPU100に対して出力される。

【0036】さらに、バンク選択用のアドレスデコーダ200は、データ転送およびサイズアクリッジ信号*DSAK0、1を生成するとともに、リード／ライト信号R/*W1～4に応じて、チップセレクト信号*CS1～8を可変させるものである。

【0037】図6は本発明の実施の形態（2）のアドレスデコーダを説明する図である。図に示すアドレスデコーダはMPUインタフェース（図中INFと示す）210、変更するアドレス範囲を格納しておくアドレスレジスタ（図中REGと示す）211、212、入力したアドレスとアドレスレジスタ211、212のアドレスとを比較するアドレス比較器（図中ADR COMPと示

す)、変更するチップセレクト信号を格納するチップセレクトレジスタ230、アドレスバスB2より入力したアドレスのデコードを行うアドレスデコーダ240、AND回路A1、A11~18、セレクトSL1~8から構成している。

【0038】図において、MPU100はMPUインタフェース210を介して、チップセレクト信号を変更するアドレスの上限、下限をアドレスレジスタ211、212に書き込むとともに、変更するチップセレクト信号をチップセレクトレジスタ230に格納する。

【0039】アドレス比較器221、222はアドレスレジスタ211、212の値と、アドレスバスB2の値を比較して、アドレスバスB2の値がチップセレクト信号を変更するアドレス範囲の場合、リード/ライトR/*W1~4に応じて、チップセレクト信号をアドレスデコーダ240の出力か、チップセレクトレジスタ230の出力から選択する。

【0040】かかる構成により、リードとライトでチップセレクト信号を変化させ、異なるバンクへの同時リード/ライトが可能となる。図7は本発明の実施の形態(2)のリード/ライトのタイムチャートを示す。

【0041】図はD0~7、D8~15はライト、D16~23、D24~31はリードを行なう動作を示す。まず、MPU100はアドレスデコーダ200に対して、チップセレクト信号を変化させるアドレスの範囲をアドレスレジスタ211、212に設定するとともに、変更するチップセレクト信号を設定する。ここでは、RAM301~302に対してライト、RAM307~308に対してリードを行う動作で説明する。

【0042】MPU100がチップセレクト信号を変更するアドレス範囲に対してアクセスするとリード/ライト信号R/*W1、2は「L」となり、RAM301、302、305、306のライトイネーブル信号*WEをアサートする。また、リード/ライト信号R/*W3、4は「H」となり、RAM303、304、307、308のアウトプットイネーブル信号*OEをアサートする。

【0043】アドレスデコーダ200はアドレスバスB2の値とアドレスレジスタ211、212の値を比較して、アドレスバスB2の値がチップセレクト信号を可変する範囲内にある場合は、チップセレクトレジスタ230の内容をチップセレクト信号として出力する。

【0044】かかる動作により、チップセレクト*CS1、2、7、8が「L」となり、リードデータとしてRAM307、308の内容が読み込まれ、ライトデータはRAM301、302へデータが書き込まれ、異なるバンクへの同時リード/ライトが可能となる。

【0045】図8は本発明の実施の形態(3)を説明する図である。図はRAM301~304とMPU100、アドレスデコーダ200の間にアドレスコンバータ

(図中ACONVと示す)251~254を設け、リード/ライト信号に応じてRAM301~304に入力するアドレスを変更できるように構成したものである。

【0046】図9は本発明の実施の形態(3)のアドレスコンバータを説明する図である。図に示すアドレスコンバータ25i(i=1~4)は、MPUインタフェース255、アドレス変換用ページレジスタ256、加算器257、およびセクタ258から構成されている。

【0047】MPU100はMPUインタフェース255を介して、アドレス変換用ページレジスタ256にアドレス変換用データを格納する。加算器257は、アドレスバスB2の値にアドレス変換用ページレジスタ256の値を加算した値を出力する。セクタ258は加算器257の出力の変換したアドレスとアドレスバスB2の値を入力として、リード/ライト信号R/*Wの値により選択してアドレスとして出力する。図においては、リード/ライト信号R/*Wが「L」の場合に変換したアドレスを出力し、「H」の場合はアドレスバスB2の値をそのまま出力する。

【0048】ここで、図7と同様に、D0~7、D8~15はライト、D16~23、D24~31はリードを行うものとする、MPU100はアドレスコンバータ251~254に対して、変換したいアドレスデータをアドレス変換用ページレジスタ256に格納する。MPU100がアクセスを開始すると、リード/ライト信号R/*W1、2は「L」となり、アドレスコンバータ251~254は変換したアドレスをRAM301、302に対して出力する。また、リード/ライト信号R/*W3、4は「H」となり、アドレスコンバータ251~254はアドレスバスB2の値をそのままRAM301、302に対して出力する。

【0049】かかる構成により、リードデータはアドレスバスB2で指定したアドレスの内容が読み込まれ、ライトデータは、アドレスバスB2で指定したアドレスにアドレス変換用ページレジスタ256の値を加算したアドレスに対して書き込まれる。このようにして、異なるアドレスに同時リード/ライトが可能となる。

【0050】図10は本発明による同時リード/ライトデータのフローチャートを示す。図は図16で説明したと同じ処理を行うものであり、図12で説明したメモリ0番地から7番地までのデータを32ビット単位で読み出し「1」を加算してもとのアドレスに格納する処理を示す。

【0051】ステップ(以下Sと示す)1;メモリの0、1番地の32ビットをワードリードする。

S2;リードデータに「1」を加算する。

【0052】S3;加算結果を0、1番地にワードライトすると同時に2、3番地をワードリードする。

S4;リードデータに「1」を加算する。

【0053】S5;加算結果をもとのアドレスにライト

し、次のアドレスからデータリードすることを繰り返す。かかる処理により、図16の従来例では0、1番地から6、7番地の処理までに12ステップを要していたものが、本発明の同時リード/ライト処理により、同じ処理を9ステップで行うことが可能となる。この例では、ステップの削減率は75%であるが、さらに大きなアドレスに対して同様な処理を行う場合はステップの削減率は66%にある。

【0054】図11は本発明のバスアクセスを行うマイクロプロセッサの実施の形態を説明する図である。図は実施の形態(1)～(3)の処理を行うMPU100を示す。図中の101Bはレジスタ部102から命令を順次取り出し、命令の解析を行う命令解析部であり、101Aは算術演算、論理演算を行うALU部であり、102はプログラム、演算データ等を格納するレジスタ部、102Aはレジスタ部102から命令を順次取り出すためのプログラムカウンタであり、103はアドレスバスB2にアドレスを出力するためのバスバッファ、104AはデータバスB1にデータを出力するためのバストランシーバ、105はバス制御信号の入出力を行うバス制御部である。

【0055】図において、マイクロプロセッサ100内の内部データバスb1は、8ビット×4本の内部サブバスb11～14に分割されており、データは8ビット単位で入出力される。そして、バス制御部105は8ビット×4本に分割されたサブバスB11～14に対して4本のリード/ライト信号、およびアドレスストロブ信号、データストロブ信号等を入出力することにより制御を行う。

【0056】かかる構成により、4本に分割されたデータバスB1のサブバスB11～14を独立に制御することが可能となる。本発明の実施の形態ではマイクロプロセッサとRAMの間のデータのリード/ライト処理で説明したがRAMに対するリード/ライト処理に限定されるものではなく、双方向のバス伝送を行う装置に適用可能である。

【0057】

【発明の効果】本発明によれば、データバスを複数のサブバスに分割し、分割したサブバスに対する複数のリード/ライト信号により、独立して複数のサブバスを制御することが可能となり、さらに、同時リード/ライトを可能とすることにより、バスの使用効率を高めることができる。

【図面の簡単な説明】

【図1】 本発明の第1の原理を説明する図

【図2】 本発明の第2の原理を説明する図

【図3】 本発明の実施の形態(1)を説明する図

【図4】 本発明の実施の形態(1)のリード/ライトのタイムチャート

【図5】 本発明の実施の形態(2)を説明する図

【図6】 本発明の実施の形態(2)のアドレスデコーダを説明する図

【図7】 本発明の実施の形態(2)のリード/ライトのタイムチャート

【図8】 本発明の実施の形態(3)を説明する図

【図9】 本発明の実施の形態(3)のアドレスコンバータを説明する図

【図10】 本発明による同時リード/ライトデータのフローチャート

【図11】 本発明のバスアクセスを行うマイクロプロセッサの実施の形態を説明する図

【図12】 メモリのアドレス構成を説明する図

【図13】 従来例を説明する図

【図14】 従来例のリードデータのタイムチャート

【図15】 従来例のライトデータのタイムチャート(その1)

【図16】 従来例のリード/ライトデータのフローチャート

【図17】 従来例のバスアクセスを行うマイクロプロセッサを説明する図

【図18】 従来例のライトデータのタイムチャート(その2)

【符号の説明】

100 マイクロプロセッサ

100A バスアクセス制御装置

101 演算装置

101A ALU部

101B 命令解析部

102 レジスタ部

102A プログラムカウンタ

103 バスバッファ

104 バス送受信部

104A バストランシーバ

105 バス制御部

110 バス分割部

120 サブバス制御部

200、240 アドレスデコーダ

210、255 MPUインタフェース

211、212 アドレスレジスタ

221、222 アドレス比較器

230 チップセレクトレジスタ

251～254 アドレスコンバータ

256 アドレス変換用ページレジスタ

257 加算器

258、SL1～8 セレクタ

301～30n ランダムアクセスメモリ

A1、A11～A18 AND回路

B1 データバス

B11～B14 サブバス

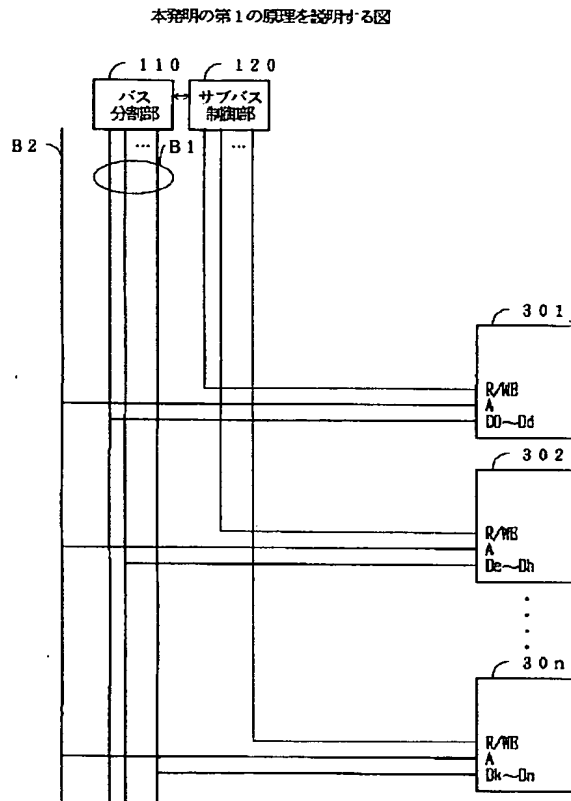
B2 アドレスバス

b1 内部データバス

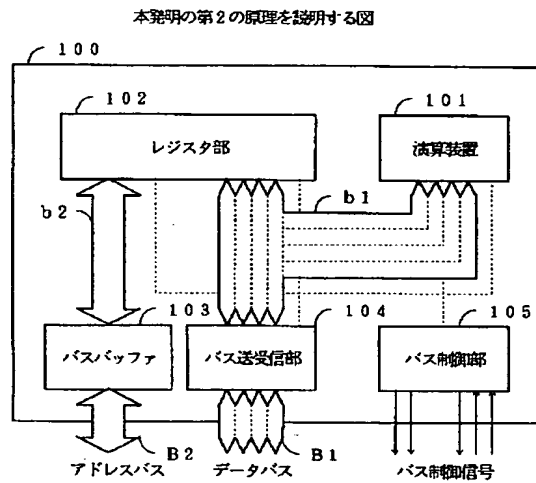
b11~14 内部サブバス

b2 内部バス

【図1】

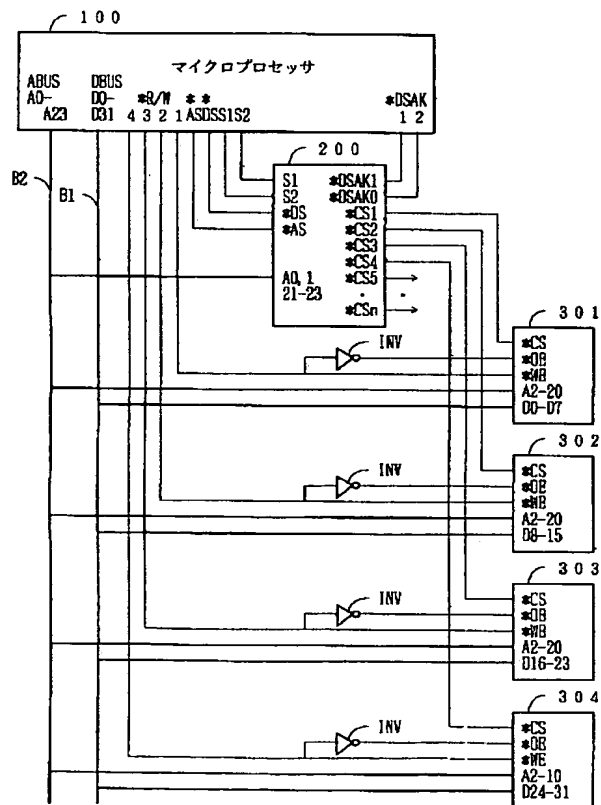


【図2】



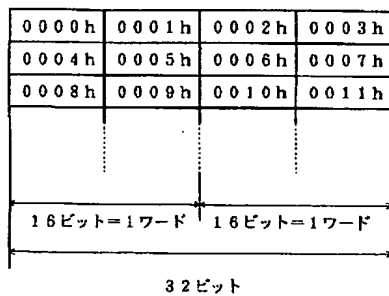
【図3】

本発明の実施の形態(1)を説明する図

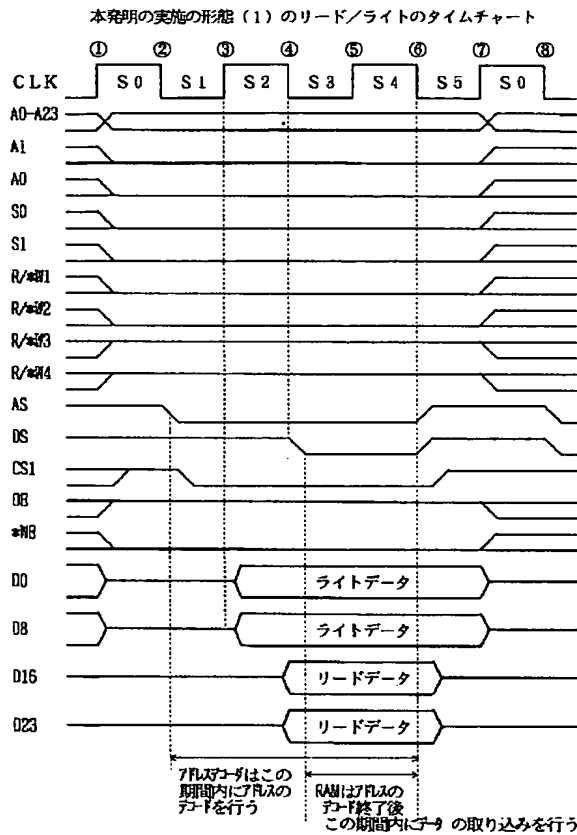


【図12】

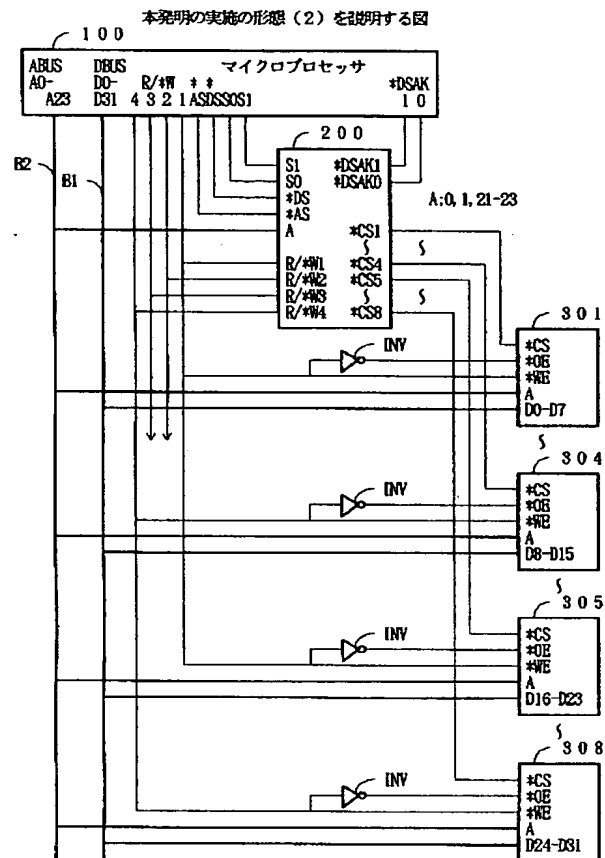
メモリのアドレス構成を説明する図



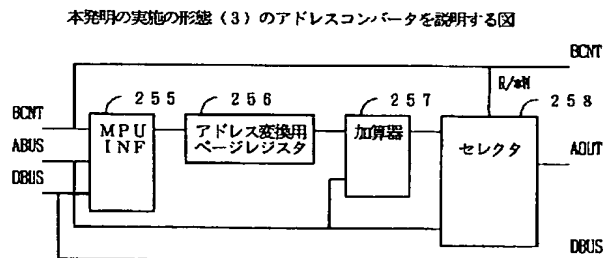
【図4】



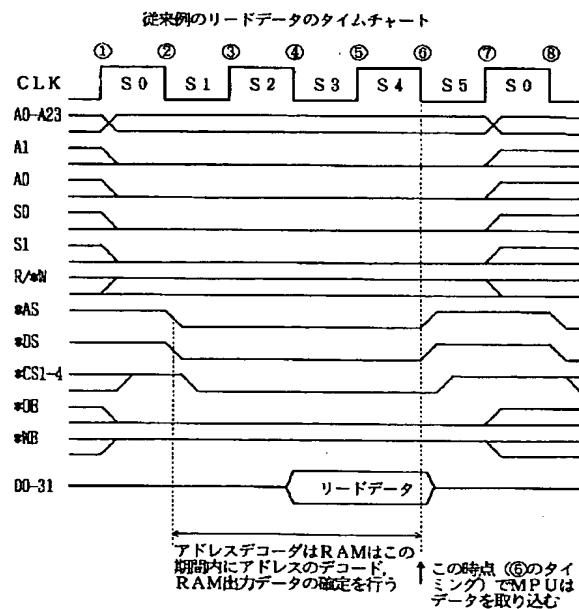
【図5】



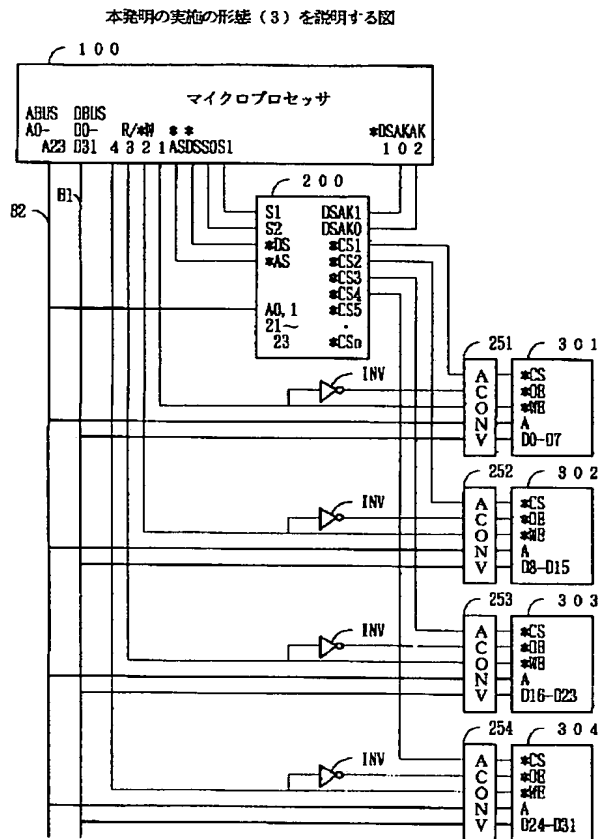
【図9】



【図14】

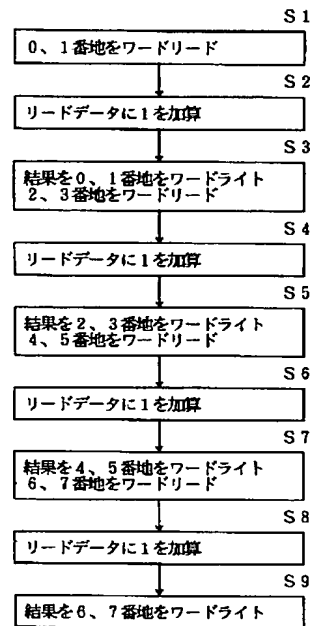


【図8】



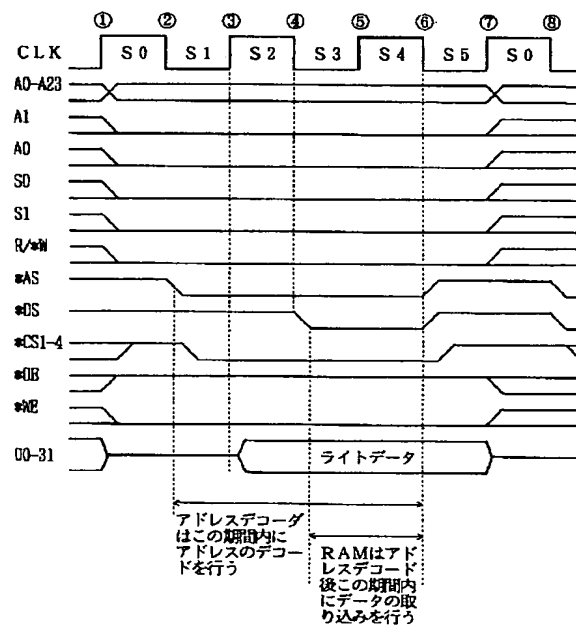
【図10】

本発明による同時リード/ライトデータのフローチャート

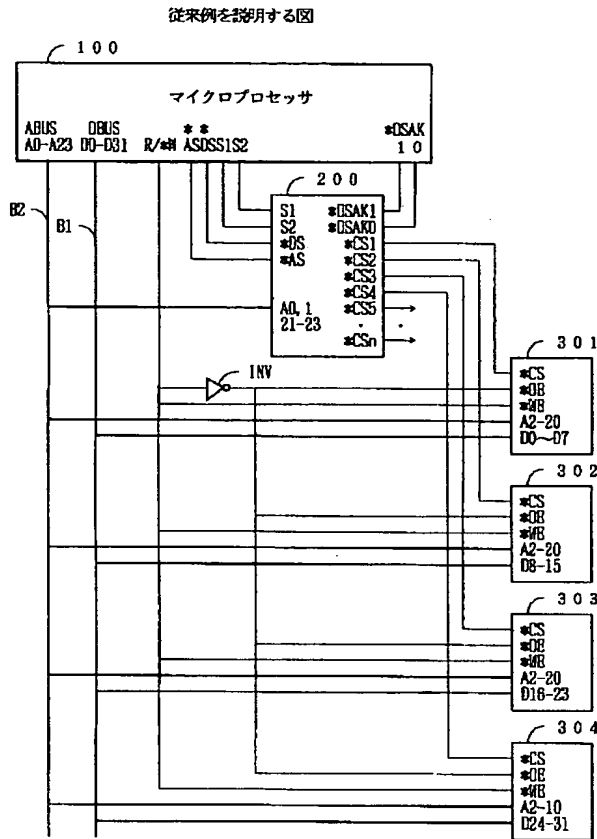


【図15】

従来例のライトデータのタイムチャート(その1)

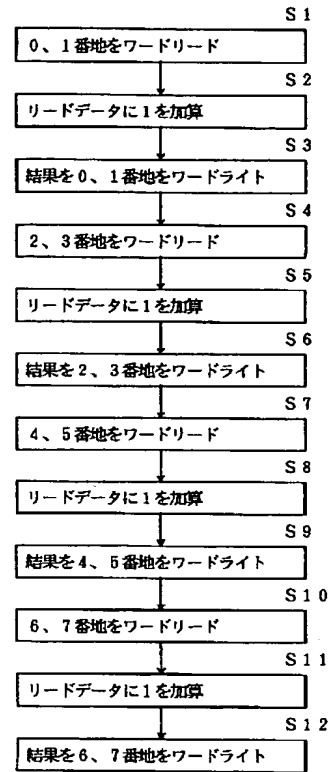


【図13】



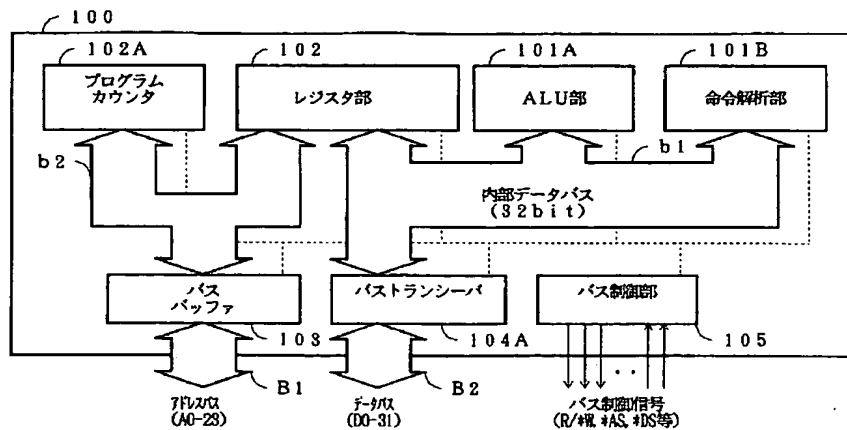
【図16】

従来例のリード/ライトデータのフローチャート



【図17】

従来例のバスアクセスを行うマイクロプロセッサを説明する図



【図 1 8】

